



集成 LCD 驱动+死区控制的 8051 核微控制器

JS8L810 低功耗系列

硬件设计注意事项

V1.0



珠海巨晟科技股份有限公司

地 址: 广东省珠海市高新区金唐路 1 号港湾 1 号湾 8 栋 4 楼

电 话: 0756-3335384 传 真: 0756-3335384

网 站: www.honor-ic.com 邮 编: 519080



版本历史

变更类型：A - 增加 M - 修订 D - 删除

变更版本号	日期	变更类型	修改人	审核	摘要
V1.0	2022.9.15	M			正式版本

版权声明

1、本资料是为了让用户根据自身需求选择合适的产品而提供的参考资料，相关的知识产权属于珠海巨晟科技股份有限公司或来自第三方的合法授权；提供上述资料不构成对相关知识产权的许可或转让，未经珠海巨晟科技股份有限公司的许可，任何人不得翻印或者复制本资料的全部或部分内容。

2、在使用本资料所记载的信息并对有关产品是否适用做出最终判断前，请您务必将所有信息作为一个整体来评价。对于本资料所记载的信息使用不当而引起的任何损失，珠海巨晟科技股份有限公司概不负责。

3、本资料所记载的产品会持续更新迭代并发布，在购买本资料所记载的产品时，请预先向珠海巨晟科技股份有限公司确认最新信息，并请您通过公司网站、微信公众号等各种方式关注珠海巨晟科技股份有限公司公布的信息，相关更新恕不另行通知。

4、如果您需要进一步了解有关本资料所记载的信息或产品的详情，请与珠海巨晟科技股份有限公司的技术服务部门联系，我们会为您提供全方位的技术支持。

目录

1. MCU 应用电路	1
1.1. 电源设计要点.....	1
1.2. 蜂鸣器驱动电路设计要点.....	1
1.3. 晶体振荡器电路设计要点.....	1
1.4. UART 模块电路设计要点.....	1
1.5. 复位引脚电路设计要点.....	1
1.6. 红外发射管驱动设计要点.....	1
1.7. SWD 调试接口电路设计要点.....	1
1.8. LCD 显示电路设计要点.....	2
1.9. ADC 采样电路设计要点.....	2
1.10. SPI 电路设计要点.....	2
1.11. IIC 电路设计要点.....	2
1.12. PCB-LAYOUT 建议.....	2

珠海巨晟科技股份有限公司

1. MCU 应用电路

JS8L810 系列低功耗 MCU 封装包含 LQFP48, LQFP32, SSOP28, TSSOP20, SOP16 这 5 种封装。

1.1. 电源设计要点

- 工作电压(VCC)为 1.8V ~ 5.5V。VDD 与 VSS 电源输入端口应先经过电容滤波 (10uF+0.1uF 瓷片电容, 容量越小的电容越靠近 MCU, 如 MCU 负载较大, 则需增加 100uF 的电解电容), 再分别接入 MCU 的 VDD/VSS 管脚。
- PCB 设计时, 滤波电容应紧靠 MCU 的 VDD/VSS 管脚, VDD 与 VSS 应与其他外围电路电源分开, 其他外围电路电源应在 0.1uF 电容前取电, 保证 MCU 的电源有单独回流路径。
- 可在电源端预留一个 0R 电阻, 当负载小时, 可将 0R 电阻改为 2R2~10R 电阻, 此时电阻与两个电容组成 MCU 输入电源的滤波网络, 增加芯片抗干扰性能。

1.2. 蜂鸣器驱动电路设计要点

- 最多支持 6 个 GPIO 口可复用为 PWM 口(TMR0_PWM~TMR5_PWM), 用于驱动蜂鸣器或其他 PWM 信号输出用途。

1.3. 晶体振荡器电路设计要点

- 五种不同的时钟源可被用来驱动系统时钟(SYSCLK)
 - 内部低速 256KHz LIRC
 - 内部高速 24MHz(+/- 1.5%) 高速振荡器
 - 内部高精度 32.768KHz(+/- 1.5%) 低功耗低速振荡器
 - 支持外部 32.768KHz 晶体振荡器, 如对精度要求高, 建议外接电容, 电容容值参考外部晶振规格书
- 芯片有一对 GPIO 口可复用为外部晶振 IO 口 PA4/PA5。
- PCB 设计中, 晶振信号线采用地线屏蔽, 且晶振信号线远离高速高频信号线, 走线越短越好。

1.4. UART 模块电路设计要点

- 芯片含有一组 UART:UART0_TX/RX。
- 建议串口信号线 TX/RX 串电阻并电容, 提高抗干扰性能, 电阻值建议 100R, 电容值 100pF。

1.5. 复位引脚电路设计要点

- 芯片 PA62 引脚默认复位功能(MCLR), 低电平有效, 在设计电路时此引脚不要接能影响芯片开机的外设。

1.6. 红外发射管驱动设计要点

- 芯片含有一个输出低电压大电流 IO:PF5, 用于驱动红外发送二极管, 单个 IO 最大电流可以达到 500mA。采用大电流驱动时, PCB-LAYOUT 走线需要加宽线宽 (建议 1mm 及以上)。
- PCB 设计中红外发射管信号线建议采用地屏蔽处理。
- 对性能测试中 ESD 测试要求很高的方案, 需要针对性地增加 ESD 管。

1.7. SWD 调试接口电路设计要点

- 1 组普通 I/O 口可复用为 SWD 接口。
- PA3/PA2 (组 2) 为 SWD 接口, 可用于在线编译调试及程序下载。

SWD 端口引脚名称	SWD 调试接口		引脚分配
	类型	调试功能	组 2
SWD-DATA	输入/输出	串行数据输入/输出	PA2
SWD-CLK	输入	串行时钟	PA3

1.8. LCD 显示电路设计要点

- 芯片最大支持 COM+SEG 数量是 45 个, COM 个数不大于 5 个, SEG 不大于 41 个 (支持 COM 口任意选择)。
- VLCD1、VLCD2、VLCD3 要分别对地接电容, PF4 和 PF3 之间要串电容。建议 PF2 对地接电容值 470nF~1uF, PF1 和 PF0 分别对地接电容值 100nF~470nF, PF4 和 PF3 之间要串 100nF~470nF 电容。
- 对偏置电压要求不高的 LCD, 可以使用芯片内置带有驱动器的电阻分压模式功能实现偏置电压的输出。

1.9. ADC 采样电路设计要点

- 芯片最多支持 11 路 ADC。建议 ADC 端口预留 0.1uF 电容接地。
- 芯片支持使用外部参考源 (VREFP) 作为 ADC 采样基准电压, 此电压值不能大于芯片 VCC 供电电压。
- PCB 设计中建议信号线采用铺铜地屏蔽处理。

1.10. SPI 电路设计要点

- 芯片支持一组一线、二线或四线 SPI, SPI0_DAT0 复用为 MOSI, SPI0_DAT1 复用为 MISO。

1.11. IIC 电路设计要点

- 芯片支持 SPI0_SCK 复用为 IIC 的 SCL, SPI0_DAT0 复用为 IIC 的 SDA。

1.12. PCB-LAYOUT 建议

- 电源线和地线必须先经过电容滤波 (10uF 以上电容+0.1uF 瓷片电容, 容量越小的电容越靠近 MCU) 之后再分别接入 MCU 的 VCC 和 VSS 管脚。
- 外围电路电源部分与 MCU 控制部分的电源分离, 可在芯片 VDD 输入前端串二极管或 10R 电阻并接大电容, 防止芯片输入电压瞬时抖动, 外围电路电源应在二极管或 10R 电阻前取电。
- 电源与地平行走线并尽量拉等宽与等距的线, 减少共模干扰。
- 功能网络的元器件、大电流和高频信号源 (IIC、SPI、RF 等高频模块) 走线尽可能远离按键 (如有) 等其它走线, 且供电电源不能从芯片电源管脚引出。
- 为增加抗干扰能力, 条件允许情况下 PCB 重要走线面必须进行铺地处理。VCC 与 GND 之间的电容一定要紧靠 MCU 电源输入管脚。接口中有通讯线的, 可适当考虑通讯线管脚串电阻并电容滤波处理。